

PAT-NO: JP402237039A
DOCUMENT-IDENTIFIER: JP 02237039 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: September 19, 1990

INVENTOR-INFORMATION:

NAME
KOBAYASHI, IKUNORI
HOTTA, SADAKICHI
UNO, MITSUHIRO

ASSIGNEE-INFORMATION:

NAME	COUNTRY
MATSUSHITA ELECTRIC IND CO LTD	N/A

APPL-NO: JP01057021

APPL-DATE: March 9, 1989

INT-CL (IPC): H01L021/336, H01L029/784

US-CL-CURRENT: 148/DIG.151, 438/FOR.420

ABSTRACT:

PURPOSE: To contrive the improvement of the easiness for manufacturing a semiconductor device on a large-sized substrate by method wherein a diffusion preventive layer for preventing a first conductor layer from diffusing in an insulator layer or a semiconductor layer is formed using a plating method.

CONSTITUTION: A gold layer, which is used as a gate electrode 2 and has a very specific resistance, is formed in a desired form by a printing method. Moreover, a diffusion preventive layer 3 for preventing the gold layer from diffusion in a silicon nitride gate insulator layer 4 can be formed in a form to be required by an electrolytic plating method without using a photolithography and a pattern formation process using a conventional vacuum deposition or a photolithography can be reduced. Thereby, even in case a large-sized substrate 1, for example, a one-meter square substrate is used, the

easiness of manufacture of a FET (thin film transistor) array can be improved. Moreover, as the electrode 2 is an electrode of a two layer structure consisting of the gold layer and the layer 3, there is no deterioration of the characteristics of the TFTs due to the diffusion of the gold layer and a signal voltage is never reduced even at the terminal of the substrate 1.

COPYRIGHT: (C)1990,JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-237039

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)9月19日

H 01 L 21/336
29/784

8624-5F H 01 L 29/78 3 1 1 Y

審査請求 未請求 請求項の数 4 (全5頁)

⑭ 発明の名称 半導体装置の製造方法

⑮ 特 願 平1-57021

⑯ 出 願 平1(1989)3月9日

⑰ 発 明 者	小 林 郁 典	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑱ 発 明 者	堀 田 定 吉	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑲ 発 明 者	宇 野 光 宏	大阪府門真市大字門真1006番地	松下電器産業株式会社内
⑳ 出 願 人	松下電器産業株式会社	大阪府門真市大字門真1006番地	
㉑ 代 理 人	弁理士 栗野 重孝	外1名	

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) 基板に第1の導電体層を選択的に被着形成する工程と、前記第1の導電体層を核にして拡散防止層を選択的に形成被覆する工程と、前記第1の導電体層の一部と重なるように少なくとも半導体層あるいは絶縁体層の一方を被着形成する工程を有する半導体装置の製造方法。

(2) 拡散防止層を選択的に被覆する工程が、メッキ法を用いて被覆する工程であることを特徴とする請求項1記載の半導体装置の製造方法。

(3) 第1の導電体層を印刷法により選択的に被着形成することを特徴とする請求項1記載の半導体装置の製造方法。

(4) 基板に絶縁体層および半導体層の両方を被着形成し、前記半導体層の一部と重なるように第2の導電体層を選択的に被着形成する工程を有することを特徴とする請求項1記載の半導体装置の

製造方法。

3. 発明の詳細な説明

産業上の利用分野

本発明は半導体装置、特に液晶と組み合わせて画像表示装置を構成するための薄膜トランジスタ(以後TFT(TFT)と呼ぶ)をマトリクス状に形成するための製造方法に関するものである。

従来の技術

第3図に従来のTFTアレイの要部構成断面図を示す。ガラス基板31上に例えばアルミニウム等のゲート電極32なる第1の導電体層が形成され、アルミニウム上にクロムよりなる拡散防止層33が形成され、非晶質シリコン半導体層35が窒化シリコンゲート絶縁体層34を介して形成され、アルミニウム等のソース、ドレイン電極36a、36bなる第2の導電体層が形成されている。

TFTアレイは種々の大きさのガラス基板上に形成されるが、ガラス基板が大きくなればなるほどソース電極、ゲート電極各々に供給する信号電圧がその終端において低下する問題がある。この

問題を解決するためにゲート電極、ソース電極を低比抵抗の導電体（例えば金、銀、白金、アルミニウム、銅など）を材料として用いて形成する。しかしながらこれらの導電体材料は特に基板を加熱する工程（例えば絶縁体層、半導体層を被覆する工程）において半導体層あるいは絶縁体層中に拡散しやすく、その結果TFT特性が劣化する（耐熱性に劣る）という課題を有している。この拡散を抑制するために上述した拡散防止層33を形成している。

次に上述の構造を持つTFTアレイの従来の製造方法について簡単に説明する。まず、ガラス基板31上全面にアルミニウムおよびクロムを連続的にスパッタ蒸着し、フォトリソグラフィによりクロムおよびアルミニウムの不要部分を順次除去して所望の形状のゲート電極32、拡散防止層33を形成する。このフォトリソグラフィは、材料上に塗布したフォトレジスト（感光性樹脂）をフォトマスクを通して露光し（この時すでに前のフォトリソグラフィにより形成した形状に整合させ

る。

また、所望の形状の電極等を形成するために用いられるフォトリソグラフィは、フォトレジスト塗布—フォトマスク整合—露光—現像—エッチング—レジスト除去というように多くの工程が必要であるという課題を有する。さらに大型基板にフォトマスクを使うフォトリソグラフィにより所望の形状を形成するためには、数度に分割して露光する必要があり、工程数がさらに増加するという課題を有している。

本発明はかかる従来の技術の課題に鑑みなされたもので、TFTアレイの導電体層を印刷法により形成し、かつこの第1の導電体層が半導体層あるいは絶縁体層に拡散するのを防止する拡散防止層を形成することができるとともに、第1の導電体層をフォトリソグラフィを用いることなく形成することができ、耐熱性の優れた大型基板の半導体装置を安価に製造することができる半導体装置の製造方法を提供することを目的としている。

課題を解決するための手段

る必要がある）、次いで現像することにより所望の形状として残し、レジストが残らずに露出している各材料の不要部分をエッチングして除去する技術である。

ついで全面に窒化シリコンゲート絶縁体層34、非晶質シリコン半導体層35を化学気相堆積法等により順次被覆する。その後、全面に被覆した非晶質シリコン半導体層35をフォトリソグラフィを用いて島状の半導体層35にする。そして最後に、アルミニウムを全面にスパッタ蒸着した後、フォトリソグラフィによりアルミニウムの不要部分を除去して所望の形状のソース、ドレイン電極36a、36bを形成して従来の技術によるTFTアレイが完成する。

発明が解決しようとする課題

前述のTFTアレイの製造方法では第1の導電体層であるゲート電極の側面に拡散防止層が形成されないため、拡散防止層が全くない場合に比べ少ないがこの側面からアルミニウムが徐々に拡散し、TFT特性が劣化するという課題を有してい

上記課題を解決するための本発明の技術的手段は、第1の導電体層であるゲート電極、あるいはソース、ドレイン電極を低比抵抗の金属を用いて印刷法により形成した後、前記低比抵抗の金属が核となるように気相あるいは液相中にてそれ自身の反応や電気分解、陽極酸化、電気泳動等のメッキ法を用いて導電体あるいは絶縁体からなる拡散防止層により第1の導電体層を被覆することである。

作 用

本発明は上述したように、第1の導電体層の形成方法として印刷法を用いることにより、真空蒸着工程およびフォトリソグラフィを必要とすることなく、それぞれの電極の必要部分のみを所望の形状で被覆形成でき、さらに拡散防止層の形成方法としてメッキ法を用いることにより第1の導電体層が半導体層あるいは絶縁体層と接触する全面に容易に形成でき、第1の導電体層が半導体層あるいは絶縁体層に拡散するのを抑制できる。

以上述べたように本発明によれば第1の導電体

層の真空蒸着の工程およびフォトリソグラフィの工程を削減して、熱工程においてTFT特性が劣化することのない低抵抗の第1の導電体層を形成できるため、大型基板上へのTFTアレイなどの製造の容易性が向上できる。

実施例

以下、本発明の一実施例について説明する。

第1図(a)～(d)に、本発明の第1の実施例におけるTFTアレイの工程断面図を示す。第1図(a)に示すようにガラス基板1上にゲート電極2となる金(その他銀、白金、銅、アルミニウム等が可能)を印刷法により図のような形状で被着する。次に第1図(b)に示すようにゲート電極2上に電解メッキ法(基板1に形成した金属を一方の電極とし、それと対向する電極板を他方の電極とし、これらにより液相中にて電気分解を行なって金属を被着する)によりクロムからなる拡散防止層3を被着する(被着する必要のない部分は電解メッキする前にレジスト等を用いて被覆する)。続いて第1図(c)に示すように全面に

の製造容易性が向上でき、また金及び拡散防止層3の2層構造の電極であるため、金の拡散によるTFT特性の劣化がなく、かつ大型基板1の終端においても信号電圧が低下することがないという効果を奏する。

第2図(a)～(d)に、本発明の第2の実施例におけるTFTアレイの工程断面図を示す。第2図(a)に示すようにガラス基板21上にソース、ドレイン電極28a、28bとなる金(その他銀、白金、銅、アルミニウム等が可能)を印刷法により図のような形状で被着する。次に第2図(b)に示すようにソース、ドレイン電極28a、28b上に電解メッキ法によりクロムからなる拡散防止層23a、23bを被着する。続いて第2図(c)に示すように全面に化学気相堆積法により半導体層25(例えば多結晶シリコン半導体、非晶質シリコン半導体等)を被着する。その後、第2図(d)に示すような形状で窒化シリコンゲート絶縁体層24を被着し、さらに、ゲート電極22となるアルミニウム、アルミニウム/クロム

化学気相堆積法により窒化シリコンゲート絶縁体層4を被着し、さらに半導体層5(例えば多結晶シリコン半導体、非晶質シリコン半導体等)を連続して被着する。そして第1図(d)に示す形状の半導体層5となるようにフォトリソグラフィを用いて不必要な部分の半導体層5を除去する。その後、第1図(d)に示すような形状でソース、ドレイン電極8a、8bとなるアルミニウム、アルミニウム/クロム(半導体層側にクロムが接触する2層構造)等の金属を形成して、本実施例における逆スタガ構造のTFTアレイが完成する。

本実施例によれば、ゲート電極2となる比抵抗が極めて小さい金を印刷法により所望の形状で形成し、さらに窒化シリコンゲート絶縁体層4に前記金が拡散するのを防止する拡散防止層3を電解メッキ法によりフォトリソグラフィを用いずに必要とする形状で形成でき、従来例における真空蒸着およびフォトリソグラフィによるパターン形成の工程が削減できる。従って、例えば1m四方のような大型基板1を用いた場合でもTFTアレイ

(絶縁体層側にクロムが接触する2層構造)等の金属を形成して、本実施例におけるスタガ構造のTFTアレイが完成する。

本実施例においても第1の実施例と同様の効果を有する。

本発明は上記実施例に示す外、種々の態様に構成することができる。

例えば上記実施例では拡散防止層として金属を用い、その形成方法に電解メッキ法を用いたが、第1の導電体層となる金属によっては無電解メッキ法(電気分解を必要としないメッキ法)、電気泳動を用いた方法、陽極酸化による絶縁体形成法等により拡散防止層を選択的に形成することができる。

また第1の導電体層として低比抵抗の金属を用いれば、電極の終端で信号電圧が低下することなく、さらに第1の導電体層の全面に拡散防止層が形成されているために低比抵抗の金属が絶縁体層あるいは半導体層への拡散によるTFT特性の劣化がない。

なお、上記実施例ではTF Tアレイの製造方法を中心に説明したが、本発明は電極となる金属が絶縁体層あるいは半導体層中に拡散するのを抑制する拡散防止層を形成する必要がある他の半導体装置の製造方法に関しても有効であることはいうまでもない。

発明の効果

以上述べてきたように、本発明は第1の導電体層が絶縁体層あるいは半導体層中に拡散するのを防止する拡散防止層をメッキ法を用いて形成することにより第1の導電体層が絶縁体層あるいは半導体層に接触する全面に容易に形成でき、さらに第1の導電体層を印刷法により被着形成することにより、TF Tアレイなどの半導体装置の製造工程においてフォトリソグラフィの工程と金属の真空蒸着工程とを削減できる。

従って以上述べた効果により大型基板上に半導体装置を製造する容易性を向上できる効果をも有する。また、フォトリソグラフィの工程および導

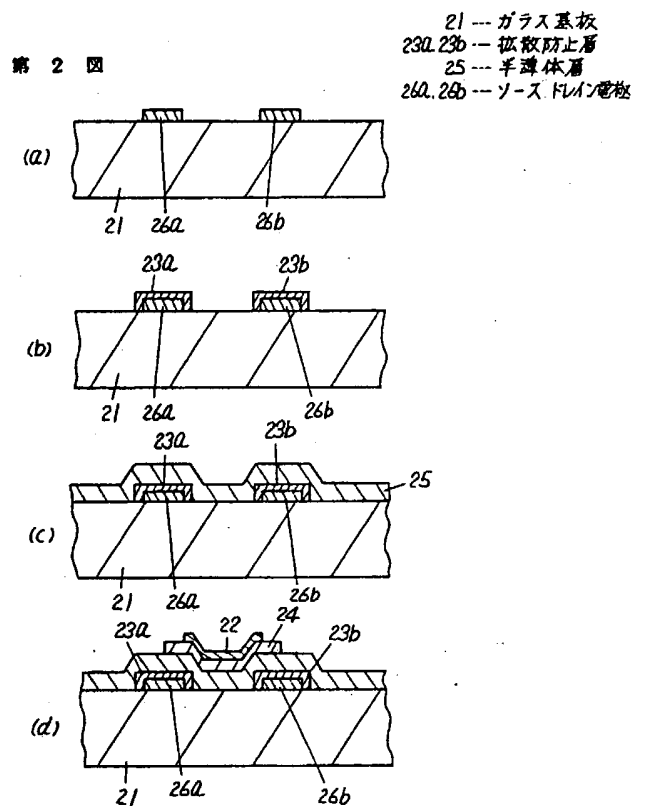
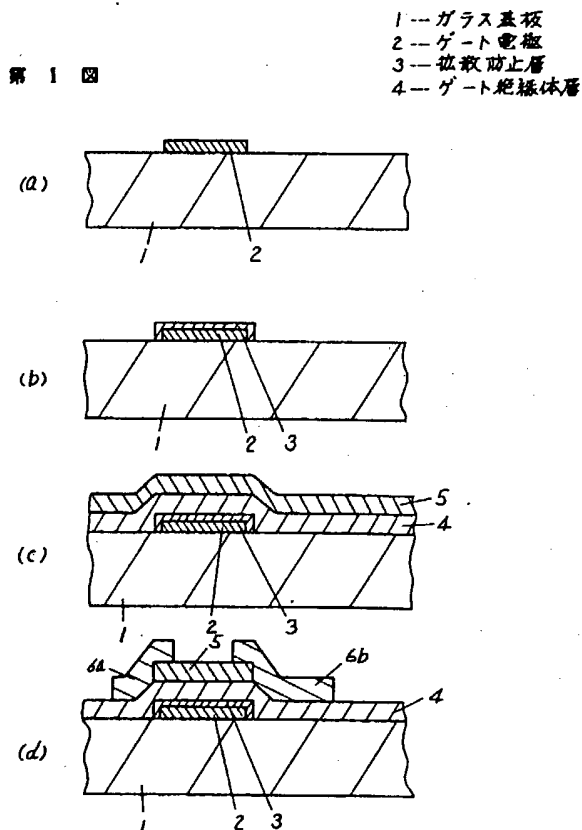
電体材料の真空蒸着工程を削減できるため半導体装置の製作コストを低減できる効果をも有する。

4. 図面の簡単な説明

第1図(a)～(d)は本発明の第1の実施例におけるTF Tアレイの工程断面図、第2図は本発明の第2の実施例におけるTF Tアレイの工程断面図、第3図は従来のTF Tアレイの要部構成断面図である。

1、21...ガラス基板、2...ゲート電極、3、23a、23b...拡散防止層、4...ゲート絶縁体層、25...半導体層、26a、26b...ソース、ドレイン電極。

代理人の氏名 弁理士 栗野重孝 ほか1名



第 3 図

